

# VINCENZO RANA

---

## Dati anagrafici

**Nome** Vincenzo  
**Cognome** Rana  
**Data di nascita** 8 luglio 1982  
**Luogo di nascita** Milano - Italia  
**Cittadinanza** Italiana  
**Stato civile** Celibe

## Contatti

**Ufficio** Dipartimento di Elettronica,  
Informazione e Bioingegneria  
Politecnico di Milano  
Via G. Ponzio 34/5  
20133 Milano - Italia  
E-mail: vincenzo.rana@polimi.it

---

## Informazioni principali

**Interessi di ricerca** Vincenzo Rana è un **ricercatore a tempo determinato** (*RTDA*) del *Dipartimento di Elettronica, Informazione e Bioingegneria (DEIB)* del Politecnico di Milano. Le sue principali aree di ricerca spaziano dalle **tecnologie blockchain** all'ottimizzazione di **algoritmi computazionalmente intensivi per l'analisi dei dati** e alla progettazione di **architetture hardware efficienti e ad alte prestazioni**.

**Tecnologie Blockchain** Oltre a essere **co-organizzatore** dell'*Osservatorio Blockchain & Distributed Ledger* del Politecnico di Milano, è anche **consulente tecnico e CTU** in indagini nell'ambito delle criptovalute. Relativamente alla formazione e alla disseminazione in ambito *blockchain*, ha partecipato alla **POLIMI Fintech Journey From Blockchain & Bitcoin to Distributed Ledger Technologies, Smart Contracts and Cryptocurrencies in Finance**, al **3° Seminario sulle strategie di contrasto al Cyber Financial Crime** organizzato dal Servizio di Polizia Postale e delle Comunicazioni (*Polizia di Stato - Ministero dell'Interno*) e alla **2nd Blockchain&DLT Community Conference** presso *Generali*. Ha **organizzato** il *workshop Blockchain & Smart Contracts* presso e per ABB S.p.A. ed è stato **consulente** nell'ambito blockchain e criptovalute per *CONSOB*, l'autorità italiana per la vigilanza dei mercati finanziari. Ha infine pubblicato **articoli scientifici** in questo ambito di ricerca ed ha collaborato, tramite il Politecnico di Milano, alla progettazione di numerosi **sistemi informatici basati su blockchain**.

### Ottimizzazione di algoritmi per l'analisi e l'elaborazione dei dati

Vincenzo Rana ha applicato con successo tecniche di **machine learning** e di analisi di **big data** a diversi scenari applicativi, come ad esempio l'analisi di reti neurali in-vitro o l'ottimizzazione dei servizi di trasporto pubblico. In quest'ultimo campo si è applicato sia alla ricostruzione dello stato della rete e degli

---

Autorizzo il trattamento dei miei dati personali ai sensi del D. Lgs. 30 giugno 2003, n. 196 "Codice in materia di protezione dei dati personali" e la pubblicazione degli stessi secondo le norme vigenti in materia di trasparenza degli atti amministrativi

utenti dei trasporti pubblici, per la schedulazione intelligente dei mezzi di trasporto, sia alla predizione dei flussi di traffico, realizzata grazie all'applicazione delle tecniche di **knowledge discovery** e **data mining** ai dati dei *car sharing* pubblicamente disponibili. Infine, ha sfruttato le tecniche di **deep learning** e le **reti neurali artificiali** per lo sviluppo di reti di sistemi indossabili in grado di identificare lo stato emozionale di un paziente attraverso l'analisi dei suoi segnali fisiologici.

**Architetture hardware efficienti e ad alte prestazioni** Vincenzo Rana ha lavorato allo sviluppo di numerose **architetture di calcolo eterogenee**, come sistemi multi-core e multi-FPGA dinamicamente riconfigurabili. In questi ambiti, si è focalizzato in particolare sulla gestione della memoria, sull'ottimizzazione delle comunicazioni *on-chip* e sulla ricerca dei migliori *trade-off* tra efficienza, prestazioni e sicurezza. Ha progettato e sviluppato sistemi hardware **ad-hoc ad alta efficienza e con alte prestazioni**, ideati specificatamente per l'esecuzione ottimizzata di algoritmi caratterizzati da elevate richieste computazionali, come ad esempio implementazioni hardware parallele per la ricerca di espressioni regolari, per la crittografia e per complessi algoritmi multimediali. Infine, ha esplorato la possibilità di progettare innovative piattaforme computazionali combinando la riconfigurabilità dell'*hardware* con la computazione adattiva del *software* per l'ottimizzazione di algoritmi di elaborazione delle immagini.

**Pubblicazioni** Vincenzo Rana è stato autore di **60 articoli su riviste e atti di conferenza internazionali** e **6 capitoli di libro**. Tra queste pubblicazioni, alcune hanno riscosso un notevole successo nella comunità scientifica internazionale, come ad esempio:

- l'articolo *Island-Based Adaptable Embedded System Design* pubblicato su *IEEE Embedded Systems Letters*, che è stato per 6 mesi (da Marzo ad Agosto 2011) tra i primi **5 articoli più letti** di *ESL* (per 3 mesi al primo posto),
- l'articolo *Design Exploration of Energy-Performance Trade-Offs for Wireless Sensor Networks* pubblicato sugli atti della conferenza *DAC 2012*, che è stato selezionato tra i migliori lavori presentati alla conferenza ed ha vinto l'**HiPEAC Best Paper Award**, e
- l'articolo *A high-level synthesis flow for the implementation of iterative stencil loop algorithms on FPGA devices* pubblicato sugli atti della conferenza *DAC 2013*, che è stato selezionato tra i migliori lavori presentati alla conferenza ed ha vinto l'**HiPEAC Best Paper Award**.

Il numero totale di citazioni ricevute dagli articoli pubblicati da Vincenzo Rana è **685** (427 negli ultimi 5 anni), il suo *h-index* è **15** ed il suo *i10-index* **22**.

**Divulgazione scientifica** Vincenzo Rana ha partecipato come **local chair** all'organizzazione delle conferenze Great Lakes Symposium on VLSI (GLSVLSI) 2011 e Conference on Field Programmable Logic (FPL) 2010, oltre ad aver preso parte come **membro del program committee** di svariate edizioni di conferenze di fama internazionale, tra cui Conference on Field Programmable Logic (FPL) e Design, Automation, and Test in Europe Conference (DATE). Dal 2008 è Membro dell'HiPEAC Reconfigurable Computing Cluster.

**Attività didattica** Vincenzo Rana è docente, dal 2018, del corso **Advanced coding tools and methodologies** rivolto agli studenti della Laurea Magistrale in Ingegneria Informatica del Politecnico di Milano e, dal 2016, del corso di **Informatica Applicata** (*Laboratorio di Computer Grafica*) rivolto agli studenti del Corso di Laurea in Design della Comunicazione del Politecnico di Milano. È inoltre stato docente del **MOOC Coding - il linguaggio nascosto delle cose**, tenuto nel Febbraio-Marzo 2016 e realizzato in collaborazione col Prof. Francesco Bruschi. È stato docente di svariati corsi di programmazione (*Python, C, C++*) tenuti per i dipendenti della C.E.M.B. S.p.A. e per gli studenti dei licei Vittorio Veneto, Alessandro Volta, Severi Correnti, Cesare Beccaria e Leonardo da Vinci. Ha tenuto **2** edizioni del corso per dottorandi **Co-design of Systems-on-Chip**

**on Reconfigurable Hardware**, negli anni accademici 2010/2011 e 2012/2013, presso l'EPFL e in collaborazione con il Prof. David Atienza. Dal 2006 ha gestito e supervisionato studenti (**17** di primo, **20** di secondo livello e **9** del dottorato di ricerca) sia del Politecnico di Milano che dell'EPFL.

# Indice

<b>1</b>	<b>FORMAZIONE E STATO DI SERVIZIO</b>	<b>5</b>
1.1	Posizione attuale . . . . .	5
1.2	Curriculum accademico . . . . .	5
1.3	Conoscenze linguistiche . . . . .	5
1.4	Istruzione e formazione . . . . .	6
1.5	Soggiorni all'estero . . . . .	6
1.6	Informazioni generali . . . . .	6
<b>2</b>	<b>ATTIVITA' SCIENTIFICA</b>	<b>7</b>
2.1	Argomenti di ricerca in ambito scientifico . . . . .	7
2.1.1	Tecnologie blockchain . . . . .	7
2.1.2	Progettazione di sistemi digitali dedicati . . . . .	8
2.1.3	Riconfigurabilità dinamica . . . . .	8
2.1.4	Computazione quantistica . . . . .	9
2.1.5	Reti di sensori . . . . .	9
2.1.6	Sistemi per l'efficienza energetica . . . . .	10
2.1.7	Sistemi di visione e ricostruzione 3D . . . . .	10
2.1.8	Reti neurali . . . . .	10
2.2	Attività organizzative in ambito scientifico . . . . .	10
2.2.1	Progetti e fondi di ricerca . . . . .	10
2.2.2	Organizzazione di conferenze a livello internazionale . . . . .	11
2.2.3	Organizzazione di workshop, e seminari a livello nazionale . . . . .	11
2.2.4	Comitato di programma (Technical Program Committee, TPC) . . . . .	11
2.2.5	Collaborazioni nazionali ed internazionali . . . . .	12
2.3	Attività di revisione . . . . .	13
2.3.1	Riviste . . . . .	13
2.3.2	Conferenze . . . . .	14
<b>3</b>	<b>ATTIVITA' DIDATTICA</b>	<b>15</b>
3.1	Docente . . . . .	15
3.2	Esercitatore . . . . .	16
3.3	Attività di laboratorio . . . . .	17
3.4	Supervisione di studenti e lavori di tesi . . . . .	17
<b>4</b>	<b>PREMI E BORSE DI STUDIO</b>	<b>18</b>
<b>5</b>	<b>ELENCO DELLE PUBBLICAZIONI</b>	<b>19</b>
5.1	Pubblicazioni su riviste internazionali . . . . .	19
5.2	Capitoli di libro . . . . .	20
5.3	Conferenze internazionali . . . . .	21
5.4	Ph.D. Forum, Workshop, Poster, University Booth e Newsletter . . . . .	25

# 1 FORMAZIONE E STATO DI SERVIZIO

## 1.1 Posizione attuale

Vincenzo Rana è un **ricercatore a tempo determinato (RTDA)** del *Dipartimento di Elettronica, Informazione e Bioingegneria (DEIB)* del Politecnico di Milano. Collabora attivamente dal Marzo 2010 con la Prof.ssa Donatella Sciuto all'interno del laboratorio *Novel and Emerging Computing System Technologies (NECST)* del Politecnico di Milano.

**Da 06/2018 Ricercatore a tempo determinato (RTDA)** presso il Politecnico di Milano [Milano, Italia]

**Da 04/2018 Ricercatore dell'Osservatorio Blockchain & Distributed Ledger** presso il Politecnico di Milano [Milano, Italia]

## 1.2 Curriculum accademico

**03/2010 - 03/2018 Assegnista di Ricerca** presso il Politecnico di Milano (DEIB - Prof.ssa Donatella Sciuto) [Milano, Italia]

**9/2014 - 2/2015 Project Leader** del progetto *Support for the definition of a management system for the optimization of energy efficiency in complex buildings* (~50 k€) in collaborazione con SIEMENS [Milano, Italia]

**11/2011 - 7/2013 Project Leader** del progetto *Design of a Wearable Dysphagia Analysis System* (~370 k€) in collaborazione tra l'**École Polytechnique Fédérale de Lausanne (EPFL)** e l'**NRC (Nestlé Research Center)** [Losanna, Svizzera]

**04/2010 - 7/2013 Post-doc Research Associate** presso l'**EPFL** (ESL - Prof. David Atienza) [Losanna, Svizzera]

**03/2010 - 02/2012 Project Leader** del progetto *Dynamically Adaptive Architectures for Nomadic Embedded Systems* (~300 k€) finanziato da **SNSF** (Swiss National Science Foundation) [Losanna, Svizzera]

**11/2007 - 03/2010 Research Associate** presso l'**EPFL** (LSI - Prof. Giovanni De Micheli, ESL - Prof. David Atienza) [Losanna, Svizzera]

**01/2007 - 12/2009** Studente di dottorato in Ingegneria dell'Informazione presso il Dipartimento di Elettronica ed Informazione del Politecnico di Milano [Milano, Italia]

**01/2007 - 8/2008 Assegnista di ricerca** (tema di ricerca: Architetture NoC riconfigurabili per sistemi embedded basati su FPGA) presso il Dipartimento di Elettronica, Informazioni e Bioingegneria del Politecnico di Milano [Milano, Italia]

**03/2007 - 12/2007** Collaboratore ai progetti PoliLab e PoliCollege, rivolti ai ragazzi delle scuole elementari e superiori, presso il Polo di Como del Politecnico di Milano [Milano, Italia]

**10/2006 - 12/2006 Assegnista di ricerca** (tema di ricerca: Esplorazione a livello di sistema per la progettazione di piattaforme MPSoC riconfigurabili) presso il Dipartimento di Elettronica, Informazioni e Bioingegneria del Politecnico di Milano [Milano, Italia]

**3/2006 - 7/2006 Assegnista di ricerca** presso l'**Heinz Nixdorf Institut (HNI)**, Università di Paderborn [Paderborn, Germania]

## 1.3 Conoscenze linguistiche

**Italiano** Madrelingua

**Inglese** Ottimo

**Francese** Buono

## 1.4 Istruzione e formazione

Vincenzo Rana si è laureato con lode in Ingegneria Informatica nel 2004 (laurea di primo livello) e nel 2006 (laurea specialistica) presso il Politecnico di Milano ed ha conseguito il dottorato di ricerca con lode in Ingegneria dell'Informazione nel 2010 presso il Politecnico di Milano.

### Marzo 2010 Dottorato di Ricerca (PhD) europeo *cum laude* in Ingegneria dell'Informazione

Dipartimento di Elettronica, Informazione e Bioingegneria, Politecnico di Milano

Tesi di ricerca maggiore:

- Titolo: NoC-based Reconfigurable Embedded Systems Design
- Relatore: Prof.ssa Donatella Sciuto
- Correlatore: Prof. Marco D. Santambrogio
- Valutazione: Eccellente (A)

Tesi di ricerca minore:

- Titolo: Low Cost Smartcams
- Relatore: Prof. Andrea Bonarini
- Correlatore: Prof. Matteo Matteucci
- Valutazione: Eccellente (A)

Tutor: Prof. Fabrizio Ferrandi

### Ottobre 2006 Laurea Specialistica in Ingegneria Informatica

Politecnico di Milano

Votazione finale: 110/110 *cum laude*

Tesi:

- Titolo: A Novel Methodology for Dynamically Reconfigurable Embedded Systems Design
- Relatore: Prof.ssa Donatella Sciuto
- Correlatore: Prof. Marco Domenico Santambrogio

### Luglio 2004 Laurea di primo livello in Ingegneria Informatica

Politecnico di Milano

Votazione finale: 110/110 *cum laude*

Tesi:

- Titolo: Sviluppo di componenti per sistemi dedicati tramite EDK: il caso della DFT
- Relatore: Prof. Fabrizio Ferrandi
- Correlatore: Prof. Marco Domenico Santambrogio

## 1.5 Soggiorni all'estero

Durante gli ultimi anni, Vincenzo Rana ha svolto attività di ricerca con diversi gruppi di ricerca, come l'*Integrated System Laboratory* (LSI) del Prof. Giovanni De Micheli (EPFL) e l'*Embedded System Laboratory* (ESL) del Prof. David Alonso Atienza (EPFL), e prestigiose università o istituti di ricerca di fama internazionale, come la Northwestern University, l'Heinz Nixdorf Institut e l'Università di Paderborn, presso i quali ha trascorso alcuni soggiorni di ricerca.

- **École Polytechnique Fédérale de Lausanne (EPFL)**  
Novembre 2007 - Luglio 2013
- **Heinz Nixdorf Institute (HNI) - Università di Paderborn**  
Marzo - Luglio 2006

## 1.6 Informazioni generali

**Dal 2008** Membro di HiPEAC, European Network of Excellence on High Performance and Embedded Architecture and Compilation

**Dal 2008** Membro dell'HiPEAC Reconfigurable Computing Cluster

## 2 ATTIVITA' SCIENTIFICA

### 2.1 Argomenti di ricerca in ambito scientifico

Le principali aree di ricerca di Vincenzo Rana riguardano i sistemi basati sulle tecnologie blockchain ([C.53]) e la progettazione di sistemi digitali dedicati. In particolare, i suoi interessi di ricerca includono le metodologie di progetto e le architetture per sistemi digitali dedicati ([A.2], [A.3], [A.6], [A.7], [C.1], [C.17], [C.31], [C.39], [C.40], [C.42], [C.43]), i sistemi riconfigurabili ([B.1], [C.2], [C.3], [C.4], [C.6], [C.7], [C.8], [C.9], [C.10], [C.11], [C.13], [C.18], [C.20], [C.28], [D.2]), la progettazione e l'ottimizzazione di infrastrutture di comunicazione ([B.2], [B.3], [B.4], [B.5], [B.6], [C.12], [C.14], [C.16], [C.19], [C.21], [C.25], [C.27], [C.32]), il mapping e lo scheduling per infrastrutture di comunicazione riconfigurabili ([A.1], [A.4], [C.22], [C.23], [C.24], [C.26], [C.33]), la modifica di sistemi operativi per il supporto a run-time della riconfigurabilità dinamica ([C.15], [C.5], [C.29]), la computazione quantistica ([C.30]), la definizione di modelli e l'ottimizzazione dei protocolli di comunicazione per reti di sensori ([C.34], [C.35], [C.36], [C.37], [C.38]), l'ottimizzazione dell'efficienza energetica di edifici complessi ([A.8], [C.41], [C.44], [C.45], [C.46], [C.47]), i sistemi di visione e ricostruzione 3D e la definizione di strumenti innovativi per l'ottimizzazione dell'utilizzo dei trasporti pubblici e privati ([A.5], [C.48], [C.48], [C.50], [C.51], [C.52]).

#### 2.1.1 Tecnologie blockchain

Oltre a essere **co-organizzatore** dell'*Osservatorio Blockchain & Distributed Ledger* del Politecnico di Milano, Vincenzo Rana è anche **consulente tecnico e CTU** per diverse indagini in ambito blockchain, come quella presso il Tribunale di Firenze in collaborazione con Guardia di Finanza e Polizia Postale, ed ha partecipato agli incontri del tavolo di lavoro su Blockchain del gruppo di esperti del *Ministero dello Sviluppo Economico (MISE)*.

Ha inoltre partecipato alla **POLIMI Fintech Journey From Blockchain & Bitcoin to Distributed Ledger Technologies, Smart Contracts and Cryptocurrencies in Finance**, al **3° Seminario sulle strategie di contrasto al Cyber Financial Crime** organizzato dal Servizio di Polizia Postale e delle Comunicazioni (*Polizia di Stato - Ministero dell'Interno*) e alla **2nd Blockchain&DLT Community Conference** presso *Generali*. Ha **organizzato** il *workshop Blockchain & Smart Contracts* presso e per ABB S.p.A. ed è stato **consulente tecnico** nell'ambito blockchain e criptovalute per *CONSOB*, l'autorità italiana per la vigilanza dei mercati finanziari.

Infine ha partecipato, come membro di uno dei *team* selezionati tra i 10 migliori in Europa, all'**EU Blockathon 2018 (EUIPO)**, è stato **consulente** ed ha collaborato alla **progettazione di sistemi informatici basati su blockchain** per svariate società (tra cui Deloitte, Ricoh, Keyless, Fuel, AGM Solutions) ed ha pubblicato alcuni **articoli scientifici** nell'ambito blockchain, tra cui [C.53].

#### Elenco delle attività in ambito Blockchain, Distributed Ledger, Smart Contract:

- è **co-organizzatore** dell'*Osservatorio Blockchain & Distributed Ledger* del Politecnico di Milano;
- è stato **docente** del *3° Seminario sulle strategie di contrasto al Cyber Financial Crime* organizzato a Marzo 2019 dal Servizio di Polizia Postale e delle Comunicazioni (*Polizia di Stato - Ministero dell'Interno*) presso il Centro di addestramento della Polizia di Stato a Cesena;
- ha partecipato agli incontri del **tavolo di lavoro** su Blockchain del gruppo di esperti del *Ministero dello Sviluppo Economico (MISE)*;
- è stato **membro** del gruppo di ricerca inter-universitario organizzato da *CONSOB* sul tema *La Digitalizzazione dei Processi di Intermediazione Finanziaria: Blockchain e Securities Markets*;

- ha partecipato alla ricerca e alla redazione del rapporto finale per **CONSOB** sulle potenziali applicazioni e conseguenze delle tecnologie DLT, con particolare riferimento agli smart contract, in ambito commerciale e finanziario;
- è impegnato come **Consulente Tecnico** della Procura di Firenze, per assistere le indagini nel campo delle criptovalute;
- è stato **discussant** del tavolo *Le opportunità delle varie piattaforme (blockchain)*, durante l'evento *Blockchain e Distributed Ledger: verso l'internet of value* [link];
- nell'ambito della conferenza legata al Polimi Fintech Journey, ha tenuto un **tutorial hands-on** sullo sviluppo di smart contract basati su Ethereum [link];
- nell'ambito della conferenza legata al Polimi Fintech Journey, sono stati presentati i risultati di una sua **ricerca** mirata a sviluppare sistemi di prova crittografica per rendere disponibile in modo affidabile informazione web a smart contract eseguiti su blockchain;
- ha partecipato all'**EU Blockathon 2018** sull'utilizzo di tecnologie blockchain per implementare politiche anti-contraffazione in supply-chain complesse. Nel contesto dell'iniziativa, ha sviluppato con il suo team il prototipo di un'applicazione di tracciamento basata su notarizzazione decentralizzata su blockchain e ingegnerizzazione degli incentivi implementata tramite smart contract [link];
- per conto della Graduate School of Business del Politecnico di Milano (MIP), tiene **corsi di fondamenti di blockchain e sviluppo di smart contract** presso aziende;
- un **articolo [C.53]**, risultato della sua ricerca sulle dinamiche delle economie di mining in blockchain basate su proof of work, è stato presentato al primo Symposium on Cryptocurrency Analysis (SOCCA 2018) [link];
- è **responsabile scientifico** di diversi contratti di ricerca inerenti i temi blockchain/smart contract, tra il Politecnico di Milano e diverse società di consulenza, assicurative, tecnologiche (tra cui Deloitte, Ricoh, Keyless, Fuel, AGM Solutions).

### 2.1.2 Progettazione di sistemi digitali dedicati

Oltre alla definizione di strumenti per la generazione di moduli hardware per FPGA Xilinx [C.1] ed alla definizione di un'innovativa architettura per la progettazione di sistemi digitali dedicati [A.2], Vincenzo Rana ha realizzato un sistema di visione per il riconoscimento, la classificazione ed il tracciamento di oggetti in movimento [C.17] ed ha partecipato alla creazione di un innovativo sistema ad alte prestazioni [C.31] per l'esecuzione in real-time su FPGA dell'algoritmo di Chambolle. Questo algoritmo appartiene alla classe degli algoritmi *Iterative Stencil Loop (ISL)*, i quali sono frequentemente utilizzati in numerose applicazioni reali (ad esempio per l'elaborazione automatica di immagini, attraverso la stima dell'*optical flow*). Grazie alle osservazioni effettuate durante la realizzazione dell'architettura ottimizzata per l'algoritmo di Chambolle, Vincenzo Rana è stato in grado di definire una innovativa metodologia per la sintesi ad alto livello e la parallelizzazione degli algoritmi ISL ([A.3], [C.39], [D.7], [A.6], [A.7]), che è risultata essere di vasto interesse per la comunità scientifica e non.

### 2.1.3 Riconfigurabilità dinamica

L'analisi e lo studio effettuati da Vincenzo Rana sui sistemi riconfigurabili e sulle relative metodologie di progettazione ([C.6], [C.10]) ha evidenziato una serie di aspetti critici di notevole importanza per la realizzazione, l'ottimizzazione, la commercializzazione e la diffusione di questa tipologia di sistemi. Tra questi aspetti problematici, analizzati ed affrontati nel corso degli ultimi anni da Vincenzo Rana, è possibile trovare la definizione di un flusso per automatizzare la creazione di moduli hardware ed architetture riconfigurabili ([C.2], [D.2]), l'allocazione dinamica di tali moduli all'interno delle aree riconfigurabili ([B.1],

[C.4], [C.8]), la definizione di un controller in grado di gestire i processi di riconfigurazione [C.11] e la gestione dinamica della memoria durante i processi di riconfigurazione ([C.7], [C.13]).

Grazie a tali lavori di ricerca, Vincenzo Rana è riuscito a realizzare numerosi sistemi digitali dedicati riconfigurabili in grado di risolvere con successo problematiche di notevole interesse per la comunità scientifica e non, come il sistema riconfigurabile per l'esecuzione in real-time di processi di crittografia [C.20], quello per il riconoscimento di espressioni regolari [C19] e quello per l'elaborazione real-time di flussi audio [C.18].

Infine, Vincenzo Rana ha esplorato con successo la possibilità di combinare la riconfigurabilità dinamica dell'hardware con le tecniche di computazione adattive tipiche del software ([C.3], [C.9]).

**Infrastrutture di comunicazione** Il lavoro svolto da Vincenzo Rana nell'ambito delle infrastrutture di comunicazione riconfigurabili ha portato alla creazione di un framework automatico per la loro progettazione, chiamato *Communication Infrastructure Tailored to Embedded Systems (CITiES)* ([B.2], [B.5], [C.12], [C.16], [C.21], [C.27], [D.3], [D.5]) ed alla definizione di una particolare infrastruttura di comunicazione, basata sul paradigma delle Network-on-Chip, ottimizzata per i sistemi riconfigurabili ([B.3], [B.4], [B.6], [C.14], [C.19], [C.25], [D.4]), oltre allo sviluppo di strumenti per la gestione dinamica delle risorse e per la verifica del corretto funzionamento di questo tipo di infrastrutture di comunicazione [C.32].

**Mapping e Scheduling** Per poter sfruttare appieno le potenzialità delle infrastrutture di comunicazione per sistemi riconfigurabili precedentemente descritte, Vincenzo Rana ha affrontato il problema della minimizzazione dei tempi di riconfigurazione [C.22] necessari per effettuare il mapping e lo scheduling dinamico delle applicazioni, che possono variare a run-time a seconda dello stato del sistema e delle necessità dell'utente. In questo contesto, Vincenzo Rana ha collaborato allo sviluppo di un flusso di mapping ([A.1], [A.4], [C.24], [C.26]) e di un algoritmo per lo scheduling ed il piazzamento 2D [C.23] di tali applicazioni, oltre alla definizione di una tecnica ibrida di mapping-scheduling [C.33].

**Supporto per sistemi operativi** La creazione di supporti per sistemi operativi in grado di gestire in modo trasparente i processi di riconfigurazione dinamica ([C.15], [C.29]) si è resa necessaria per permettere lo sviluppo di codice portabile e riusabile per sistemi riconfigurabili. Ad esempio, il lavoro presentato in [C.5] ha avuto come obiettivo l'integrazione di un controller per la riconfigurabilità dinamica e dei moduli kernel necessari al suo funzionamento all'interno di una particolare versione del sistema operativo Linux.

#### 2.1.4 Computazione quantistica

Il lavoro relativo alla computazione quantistica (*Quantum-Dot Cellular Automata (QCA)*) ha portato alla definizione di un sommatore [C.30], implementato in logica QCA, molto più efficiente, in termini di rapporto tra risorse utilizzate e latenza di computazione, rispetto a tutti gli altri lavori presenti in letteratura.

#### 2.1.5 Reti di sensori

Vincenzo Rana ha attivamente collaborato alla definizione di modelli per la progettazione di reti di sensori *Wireless Body Sensor Networks (WBSN)* [C.34], allo sviluppo di tecniche per la riduzione delle interferenze che si vengono a creare quando più reti di sensori si trovano ad operare in uno stesso spazio condiviso [C.35] ed allo studio dei trade-off tra energia consumata e prestazioni, che devono essere considerati durante la fasi di progettazione di questa tipologia di reti ([C.36], [C.37], [C.38]).

### 2.1.6 Sistemi per l'efficienza energetica

Vincenzo Rana ha contribuito alla progettazione di una piattaforma per la simulazione [C.41] e l'analisi ([A.8], [C.44], [C.46], [C.47]) del consumo energetico di *smart spaces* ed ha partecipato alla realizzazione di un sistema di identificazione della presenza degli occupanti [C.45], per l'ottimizzazione dell'efficienza energetica, basato sulla tecnologia *iBeacon*.

### 2.1.7 Sistemi di visione e ricostruzione 3D

Vincenzo Rana è stato il responsabile del progetto *MatraCam*, svolto in collaborazione con il *MetaMedia Center* (MMC) dell'EPFL, per lo studio, la progettazione e la realizzazione di un sistema di visione e ricostruzione 3D di immagini/video, che è stato utilizzato per la registrazione di concerti *live* del *Montreux Jazz Festival* 2011 e 2012.

### 2.1.8 Reti neurali

Vincenzo Rana ha partecipato alla realizzazione, in collaborazione con l'*Università degli Studi di Milano-Bicocca*, dell'applicazione *Neuron On Network (NeON)*, che permette l'analisi automatica e la visualizzazione grafica di reti neurali *in vitro* per lo studio di malattie quali l'epilessia ed il morbo di Alzheimer.

## 2.2 Attività organizzative in ambito scientifico

Vincenzo Rana ha partecipato attivamente alla creazione del gruppo di ricerca *Dynamic Reconfigurability in Embedded Systems Design* (DRES) ed è stato fondatore e tesoriere dell'associazione non a fini di lucro *iDRES*. Tra i progetti che ha gestito è possibile trovare:

- **MOKA Travel Assistant**

MOKA [A.5] è un assistente di viaggio sperimentale per gli spostamenti con il trasporto pubblico di Milano. In particolare, MOKA consente di:

- calcolare un insieme di percorsi per spostarsi tra due punti della città
- calcolare il tempo di percorrenza, tenendo conto anche delle coincidenze (ovvero del fatto che ciascuna di esse può essere presa o mancata)

Durante il viaggio, MOKA mantiene l'utente costantemente aggiornato su:

- tempo di arrivo stimato
- informazioni da ATM (per esempio, i tweet di ATM)
- informazioni da altri utenti (ad esempio, tramite tweet)
- posizione attuale dell'utente (per calcolare, ad esempio, quante fermate mancano alla destinazione)

- **CodeLab**

CodeLab è una piattaforma web per la scrittura, compilazione ed esecuzione online di codice (C, Python, JavaScript, ...) in modo cooperativo e collaborativo. In particolare, la piattaforma CodeLab viene attualmente usata nel corso di Fondamenti di Informatica per l'insegnamento della programmazione in C e per la valutazione delle capacità acquisite dagli studenti del corso.

### 2.2.1 Progetti e fondi di ricerca

Vincenzo Rana ha ideato e successivamente gestito come **project leader**, da Settembre 2014 a Febbraio 2015, un progetto nato dalla collaborazione tra il **Politecnico di Milano** e **SIEMENS** per la definizione di un sistema di gestione per l'ottimizzazione dell'efficienza energetica in edifici complessi.

Da Novembre 2011 a Luglio 2013 ha gestito come **project leader** un progetto nato dalla collaborazione tra l'**École Polytechnique Fédérale de Lausanne** (EPFL)

ed il **Nestlé Research Center** (NESTEC) per la progettazione e lo sviluppo di un sistema indossabile per l'identificazione e l'analisi della disfagia, una disfunzione dell'apparato digerente che si manifesta tipicamente come conseguenza di altri disturbi ostruttivi o motori, come presenza di neoplasie o acalasia.

Da Marzo 2010 a Febbraio 2012 è stato il responsabile (**project leader**) presso l'**École Polytechnique Fédérale de Lausanne** di un progetto finanziato dalla **Swiss National Science Foundation** per l'esplorazione dello spazio di progetto di architetture dinamicamente adattive per sistemi mobili dedicati.

- Progetto in collaborazione tra il **Politecnico di Milano** e **SIEMENS**:  
*Support for the definition of a management system for the optimization of energy efficiency in complex buildings*  
Budget: ~**50 k€**  
Durata: Settembre 2014 - Febbraio 2015
- Progetto in collaborazione tra l'**EPFL** e l'**NRC** (Nestlé Research Center):  
*Design of a Wearable Dysphagia Analysis System*  
Budget: ~**370 k€**  
Durata: Novembre 2011 - Luglio 2013
- Progetto **SNSF** (Swiss National Science Foundation):  
*Dynamically Adaptive Architectures for Nomadic Embedded Systems*  
Budget: ~**300 k€**  
Durata: Marzo 2010 - Febbraio 2012

### 2.2.2 Organizzazione di conferenze a livello internazionale

Vincenzo Rana ha partecipato come *local chair* all'organizzazione delle conferenze *Great Lakes Symposium on VLSI (GLSVLSI) 2011* e *Conference on Field Programmable Logic (FPL) 2010*, oltre ad aver preso parte come membro del *program committee* di svariate conferenze di fama internazionale, come *Conference on Field Programmable Logic (FPL) 2010, 2011 e 2012* e *Design, Automation, and Test in Europe Conference (DATE) 2012 e 2013*.

- Organizzazione della conferenza *Great Lakes Symposium on VLSI*  
Data: 2-4 Maggio 2011  
Luogo: EPFL, Losanna (Svizzera)  
Ruolo: Local Chair
- Organizzazione della conferenza *Conference on Field Programmable Logic*  
Data: 31 Agosto - 2 Settembre 2010  
Luogo: Politecnico di Milano, Milano (Italia)  
Ruolo: Local Chair

### 2.2.3 Organizzazione di workshop, e seminari a livello nazionale

- *2nd Blockchain&DLT Community Conference*, presentazione (*invited talk*) presso e per Generali a Milano, 22 Febbraio 2019
- *Blockchain & Smart Contracts*, workshop organizzato presso e per ABB S.p.A. a Sesto San Giovanni, Milano, 12 Settembre 2018
- POLIMI Fintech Journey, *From Blockchain&Bitcoin to Distributed Ledger Technologies, Smart Contracts and Cryptocurrencies in Finance*, Milano, 9 Maggio 2018
- *Partial Dynamic Reconfiguration Workshop*, workshop organizzato presso e per Nokia Siemens Networks a Cinisello Balsamo, Milano, 23 Aprile 2008
- *Reconfigurable Computing Italian Workshop*, primo workshop nazionale organizzato presso la sede del Politecnico di Milano, Milano, 19 Dicembre 2008

### 2.2.4 Comitato di programma (Technical Program Committee, TPC)

- Workshop on Reconfigurable Computing (WRC) 2014
- Conference on Parallel, Distributed and Network-Based Computing (PDP) 2014

- Reconfigurable Architectures Workshop (RAW) 2013, 2014, 2015
- Design, Automation, and Test in Europe Conference (DATE) 2012, 2013, 2014
- Conference on Embedded and Ubiquitous Computing (EUC) 2011, 2012, 2013
- Computing in Heterogeneous, Autonomous 'N' Goal-oriented Environments (CHA'N'GE) 2011, 2012
- Conference on Design and Architectures for Signal and Image Processing (DA-SIP) 2011
- Conference on Field Programmable Logic (FPL) 2010, 2011, 2012, 2013, 2014

### 2.2.5 Collaborazioni nazionali ed internazionali

Vincenzo Rana ha instaurato nel corso degli anni fruttuose collaborazioni con prestigiose università ed aziende di fama internazionale, come la *Northwestern University (NU)*, l'*École Polytechnique Fédérale de Lausanne (EPFL)*, il *Massachusetts Institute of Technology (MIT)*, la *ST Microelectronics* ed il *Nestlé Research Center (NRC)*, con i quali ha portato a termine numerose collaborazioni, svolto progetti di ricerca e progettato innovativi sistemi digitali dedicati.

- Università:
  - *Politecnico di Milano* - Milano, Italia
  - *Università Statale di Milano* - Milano, Italia
  - *Università degli Studi di Milano-Bicocca* - Milano, Italia
  - *Università di Paderborn* - Paderborn, Germania
  - *Northwestern University (NU)* - Evanston, Illinois, USA
  - *University of Westminster* - Londra, UK
  - *Imperial College* - Londra, UK
  - *École Polytechnique Fédérale de Lausanne (EPFL)* - Losanna, Svizzera
  - *Massachusetts Institute of Technology (MIT)* - Cambridge, Massachusetts, USA
- Aziende:
  - *Generali* - Milano, Italia
  - *ABB* - Sesto San Giovanni, Italia
  - *CONSOB* - Milano, Italia
  - *ST Microelectronics* - Milano, Italia
  - *Heinz Nixdorf Institut (HNI)* - Paderborn, Germania
  - *Sony Computer Entertainment Europe (SCEE)*
  - *Inpeco* - Lugano, Svizzera
  - *Nestlé Research Center (NRC)* - Losanna, Svizzera
  - *Azienda Trasporti Milanesi (ATM)* - Milano, Italia
  - *Telecom* - Italia
  - *Agenzia Mobilità Ambiente Territorio (AMAT)* - Milano, Italia
  - *Deloitte* - Milano, Italia
  - *Finmeccanica* - Roma, Italia
  - *SIEMENS* - Milano, Italia
  - *Chinesport S.p.A.* - Udine, Italia
  - *Startec S.r.l.* - Sesto al Reghena, Italia
  - *Saipem S.p.A.* - San Donato Milanese, Italia
- Principali collaborazioni:

- 2018 *Qantica* - Membro del *team* selezionato tra i 10 migliori in Europa per la partecipazione all'EU *Blockathon 2018* (EUIPO), Bruxelles, Belgio
- 2018 *Tribunale di Firenze* - Consulente tecnico e CTU per un'indagine in ambito *blockchain* in collaborazione con Guardia di Finanza e Polizia Postale, Italia
- 2018 *Politecnico di Milano, Dipartimento di Ingegneria Gestionale (DIG)* - Co-organizzatore dell'*Osservatorio Blockchain & Distributed Ledger*, Italia
- 2017 *CONSOB (Commissione Nazionale per le Società e la Borsa)* - Consulente tecnico nell'ambito *blockchain e criptovalute* per **CONSOB**, l'autorità italiana per la vigilanza dei mercati finanziari, Italia
- 2017 *L. Sut and Avv. A. Dario* - Consulente tecnico e CTP per **Startec S.r.l.**, Italia
- 2017 *T. Persello e Avv. A. Dario* - Consulente tecnico e CTP per **Chinesport S.p.A.**, Italia
- 2016-2017 *M. Caon* - Consulente tecnico per **Saipem S.p.A.**, Italia
- 2008-2016 *Avv. G. Casucci, Avv. M. Casucci, Avv. G. Muscas e Avv. R. Castiglioni* - Consulente tecnico e CTP per **Sony Computer Entertainment Europe (SCEE)**, Italia
- 2010-2015 *D. Atienza*, Dynamically Adaptive Architectures for Nomadic Embedded Systems, **École Polytechnique Fédérale de Lausanne (ESL)**, Svizzera
- 2013-2014 *Deloitte and Finmeccanica* - Consulente tecnico per **Deloitte** e **Finmeccanica**, Italia
- 2014 *M. Bigoloni*, Support for the definition of a management system for the optimization of energy efficiency in complex buildings, per **EXPO2015** con **SIEMENS**, Italia
- 2012-2014 *E. Wanke*, Automatic analysis of neural networks data, **Università degli Studi di Milano-Bicocca**, Italia
- 2010-2013 *D. Atienza*, Design of a Wearable Dysphagia Analysis System, **École Polytechnique Fédérale de Lausanne** e **NRC (Nestlé Research Center)**, Svizzera
- 2007-2012 *G. De Micheli*, Reconfigurable NoC architectures, **École Polytechnique Fédérale de Lausanne (LSI)**, Svizzera
- 2006-2009 *S. Ogrenci Memik*, Adaptive computation and scheduling/placement heuristics, **Northwestern University (NU)**, USA
- 2008 *D. Caltabiano e R. Sannino*, Low cost smartcams design, **STMicroelectronics**, Italia
- 2006 *M. Porrmann e U. Rückert*, Partial dynamic reconfiguration in a multi-FPGAs clustered architecture based on Linux, **Heinz Nixdorf Institut (HNI)** e **Universität Paderborn**, Germania

## 2.3 Attività di revisione

### 2.3.1 Riviste

- IEEE Transactions on Computer-Aided Design (TCAD)
- IEEE Transactions on Parallel and Distributed Systems (TPDPS)
- IEEE Embedded Systems Letters (ESL)
- IEEE Transactions on Industrial Informatics (TII)
- ACM Transaction on Reconfigurable Technology and Systems (TRETs)
- ACM Transactions on Embedded Computing Systems (TECS)
- Journal of Systems Architecture (JSA) - Elsevier
- Integration, the VLSI Journal - Elsevier
- Computer & Electrical Engineering - Elsevier

### 2.3.2 Conferenze

- International Symposium on Applied Reconfigurable Computing (ARC)
- IEEE Design Automation Conference (DAC)
- IEEE Design, Automation and Test in Europe (DATE)
- IEEE International Conference on Hardware-Software Codesign and System Synthesis (CODES+ISSS)
- IEEE International Conference on Field Programmable Logic and Applications (FPL)
- IEEE Reconfigurable Architectures Workshop (RAW)
- IEEE Computer Annual Symposium on VLSI (ISVLSI)
- Southern Conference on Programmable Logic (SPL) Conference
- IEEE Field Programmable Technology (FPT)
- ACM Great Lake Symposium VLSI (GLSVLSI)
- International Symposium on System-on-Chip (SoC)
- IFIP International Conference on Very Large Scale Integration (VLSI-SoC)
- International Conference on ReConFigurable Computing and FPGAs (ReConFig)
- IEEE/IFIP International Conference on Embedded and Ubiquitous Computing (EUC)

### 3 ATTIVITA' DIDATTICA

Vincenzo Rana è docente del corso **Advanced Coding Tools and Methodologies** (A.A. 2018/2019) rivolto agli studenti del Corso di Laurea Magistrale *Music and Acoustic Engineering* e del corso di **Informatica Applicata** (*Laboratorio di Computer Grafica*) rivolto agli studenti del Corso di Laurea in Design della Comunicazione del Politecnico di Milano, dal 2016. È inoltre stato docente del **MOOC Coding - il linguaggio nascosto delle cose**, tenuto nel Febbraio-Marzo 2016 e realizzato in collaborazione col Prof. Francesco Bruschi. È stato docente di svariati corsi di programmazione (*Python, C, C++*) tenuti per i dipendenti della C.E.M.B. S.p.A. e per gli studenti dei licei Vittorio Veneto, Alessandro Volta, Severi Correnti, Cesare Beccaria e Leonardo da Vinci. Ha tenuto **2** edizioni del corso per dottorandi **Co-design of Systems-on-Chip on Reconfigurable Hardware**, negli anni accademici 2010/2011 e 2012/2013, presso l'EPFL e in collaborazione con il Prof. David Atienza. Ha infine svolto il ruolo di esercitatore (**9** corsi, 31 edizioni totali) e responsabile di laboratorio (**4** corsi, 10 edizioni totali) per corsi sia del Politecnico di Milano (Polo di Milano e Polo di Como) che dell'Università Statale di Milano.

#### 3.1 Docente

- Corso: *Advanced Coding Tools and Methodologies*  
Rivolto a: studenti del Corso di Laurea Magistrale Music and Acoustic Engineering  
Docente: Vincenzo Rana  
Sede: Politecnico di Milano  
Data: I Semestre A.A. 2018/2019
- Corso: *Informatica Applicata (Laboratorio di Computer Grafica)*  
Rivolto a: studenti del Corso di Laurea in Design della Comunicazione  
Docente: Vincenzo Rana  
Sede: Politecnico di Milano  
Data: I Semestre A.A. 2018/2019, 2017/2018, 2016/2017
- Corso: *Python per creatori di mondi*  
Rivolto a: studenti dei licei Vittorio Veneto, F. Severi e Beccaria  
Docenti: Vincenzo Rana e Francesco Bruschi  
Sede: IIS Severi Correnti  
Data: Ottobre 2016 - Febbraio 2017
- Corso: *Street Fighting Python*  
Rivolto a: studenti del liceo scientifico Alessandro Volta  
Docenti: Vincenzo Rana e Francesco Bruschi  
Sede: Liceo Scientifico Alessandro Volta  
Data: Marzo - Maggio 2016 e Ottobre 2016 - Marzo 2017
- Corso: *Street Fighting Python*  
Rivolto a: studenti dei licei scientifici Vittorio Veneto e F. Severi  
Docenti: Vincenzo Rana e Francesco Bruschi  
Sede: Liceo Scientifico Vittorio Veneto  
Data: Febbraio - Aprile 2016
- Corso: *Programmazione C, C++ e strumenti di automazione*  
Rivolto a: dipendenti CEMB S.p.A.  
Docente: Vincenzo Rana  
Sede: CEMB S.p.A. (<http://www.cemb.com>)  
Data: Dicembre 2015 - Marzo 2016
- Corso: *Coding - il linguaggio nascosto delle cose*  
Rivolto a: cittadini italiani  
Docenti: Vincenzo Rana e Francesco Bruschi  
Tipologia: Massive Open Online Course (MOOC) del Politecnico di Milano  
Data: Febbraio - Marzo 2016

- Corso: *Co-design of Systems-on-Chip on Reconfigurable Hardware*  
Rivolto a: studenti di dottorato  
Docenti: Vincenzo Rana e David Atienza  
Sede: École Polytechnique Fédérale de Lausanne  
Anni accademici: 2012/2013, 2010/2011

## 3.2 Esercitatore

- Attività svolta come esercitatore presso il Politecnico di Milano (Milano, Italia)
  - Corso: High Performance Processors and Systems  
Rivolto a: studenti della laurea di secondo livello (lezioni tenute in inglese)  
Professoressa: Donatella Sciuto  
Anno accademico: 2008/2009
  - Corso: Architettura dei Calcolatori  
Rivolto a: studenti della laurea di secondo livello  
Professoressa: Donatella Sciuto  
Anno accademico: 2009/2010
  - Corso: Fondamenti di Informatica  
Rivolto a: studenti della laurea di primo livello  
Professore: Francesco Bruschi  
Anno accademico: 2015/2016, 2014/2015, 2013/2014, 2012/2013
  - Corso: Fondamenti di Informatica  
Rivolto a: studenti della laurea di primo livello  
Professore: Daniele Braga  
Anno accademico: 2017/2018, 2016/2017, 2015/2016
- Attività svolta come esercitatore presso il Polo di Como del Politecnico di Milano (Como, Italia)
  - Corso: Reti Logiche  
Rivolto a: studenti della laurea di primo livello  
Professore: Francesco Bruschi  
Anno accademico: 2017/2018, 2016/2017, 2015/2016, 2014/2015, 2013/2014, 2012/2013, 2011/2012, 2010/2011, 2009/2010
  - Corso: Architettura dei Calcolatori e Sistemi Operativi  
Rivolto a: studenti della laurea di primo livello  
Professore: Roberto Negrini  
Anno accademico: 2017/2018, 2016/2017, 2015/2016, 2014/2015, 2013/2014, 2012/2013, 2011/2012, 2010/2011, 2009/2010
  - Corso: Informatica II  
Rivolto a: studenti della laurea di primo livello  
Professore: Roberto Negrini  
Anno accademico: 2008/2009, 2007/2008
  - Corso: Tecnologia delle informazioni in rete  
Professore: Maurizio Dècina  
Anno accademico: 2006/2007
- Attività svolta come esercitatore presso l'Università degli studi di Milano (Crema, Italia)
  - Corso: Architettura dei Calcolatori  
Professore: Nello Scarabottolo  
Anno accademico: 2009/2010, 2008/2009, 2007/2008, 2006/2007

### 3.3 Attività di laboratorio

- Attività svolta come responsabile e tutor di laboratorio presso il Politecnico di Milano (Milano, Italia)
  - Corso: Fondamenti di Informatica  
Rivolto a: studenti della laurea di primo livello  
Professore: Francesco Bruschi  
Anno accademico: 2015/2016, 2014/2015, 2013/2014, 2011/2012, 2010/2011
  - Corso: Informatica  
Rivolto a: studenti della laurea di primo livello  
Professore: Fausto Distante  
Anno accademico: 2006/2007
  - Corso: Informatica  
Rivolto a: studenti della laurea di primo livello  
Professore: Francesco Bruschi  
Anno accademico: 2006/2007, 2005/2006
  - Corso: Informatica  
Rivolto a: studenti della laurea di primo livello  
Professoressa: Cristiana Bolchini  
Anno accademico: 2006/2007, 2005/2006

### 3.4 Supervisione di studenti e lavori di tesi

Dal 2006 ha gestito e supervisionato studenti (**17** di primo, **20** di secondo livello e **9** del dottorato di ricerca) sia del Politecnico di Milano che dell'EPFL, collaborando con essi per la realizzazione di progetti di ricerca e di tesi riguardanti la definizione di modelli e l'ottimizzazione dei protocolli di comunicazione per reti di sensori (con particolare attenzione alle Wireless Body Sensor Networks), lo sviluppo di infrastrutture di comunicazione riconfigurabili e la definizione di strumenti software per la loro progettazione/ottimizzazione e la modifica di sistemi operativi per il supporto a run-time della riconfigurabilità dinamica.

- Correlatore di **17** studenti per il loro lavoro di tesi di laurea di primo livello presso il Politecnico di Milano
- Correlatore di **20** studenti per il loro lavoro di tesi di laurea specialistica presso il Politecnico di Milano
- Supervisore di **9** studenti di dottorato presso il Politecnico di Milano e l'École Polytechnique Fédérale de Lausanne

## 4 PREMI E BORSE DI STUDIO

Vincenzo Rana è stato premiato, per la sua tesi di laurea specialistica, con il **Premio di Laurea Accenture** ed il **Premio di Laurea del Politecnico di Milano**. Si è inoltre classificato al terzo posto al *2nd MEMOCODE Hardware/Software Co-Design Contest* nel 2008 ed è stato vincitore di due **HiPEAC Collaboration Grant** nel 2008 e 2009, grazie ai quali ha potuto effettuare due periodi di ricerca all'estero presso l'*École Polytechnique Fédérale de Lausanne (EPFL)*.

- **Premi:**

- **HiPEAC Best Paper Award a DAC 2013** per l'articolo *A high-level synthesis flow for the implementation of iterative stencil loop algorithms on FPGA devices*, 2013
- **HiPEAC Best Paper Award a DAC 2012** per l'articolo *Design Exploration of Energy-Performance Trade-Offs for Wireless Sensor Networks*, 2012
- **Terzo classificato al 2nd MEMOCODE Hardware/Software Co-Design Contest**  
Sixth ACM-IEEE International Conference on Formal Methods and Models for Codesign, 2008
- **Vincitore del Premio di Laurea del Politecnico di Milano**  
per la Tesi di Laurea Specialistica, 2007
- **Vincitore del Premio di Laurea Accenture, 2a edizione**  
per la Tesi di Laurea Specialistica, 2006

- **Fondi:**

- **Swiss NSF Research Project (Division II), 2010 - 2012**  
Titolo del progetto: *Dynamically Adaptive Architectures for Nomadic Embedded Systems*
- **Vincitore dell' HiPEAC Collaboration Grant, 2009**  
Titolo della ricerca: *Dynamically Adaptive Architectures for Nomadic Embedded Systems*
- **Vincitore dell' HiPEAC Collaboration Grant, 2008**  
Titolo della ricerca: *A novel design flow for FPGA-based systems based on 2D reconfigurable Networks-on-Chip*

## 5 ELENCO DELLE PUBBLICAZIONI

Le pubblicazioni presenti in questa sezione sono elencate in ordine cronologico inverso e classificate in base alla loro tipologia: la Sezione 5.1 include le pubblicazioni su riviste internazionali (pubblicazioni di tipo **A**), la Sezione 5.2 i capitoli di libro (pubblicazioni di tipo **B**), la Sezione 5.3 tutte le pubblicazioni su atti di conferenze internazionali (pubblicazioni di tipo **C**), mentre la Sezione 5.4 racchiude infine tutte le altre pubblicazioni (pubblicazioni di tipo **D**), come Ph.D. Forum, Poster, University Booth e Newsletter.

I seguenti indici sono stati calcolati utilizzando *Google Scholar*, *Microsoft Academic Search* e *Scopus*:

- Numero totale di citazioni ricevute: 685 (427 negli ultimi 5 anni)
- *h-index*: 15 (Scopus: 12)
- *i10-index*: 22

Tra queste pubblicazioni, alcune hanno riscosso un notevole successo nella comunità scientifica internazionale, come ad esempio:

- l'articolo *Island-Based Adaptable Embedded System Design* pubblicato su *IEEE Embedded Systems Letters*, che è stato per 6 mesi (da Marzo ad Agosto 2011) tra i primi 5 **articoli più letti** di *ESL* (per 3 mesi al primo posto),
- l'articolo *Design Exploration of Energy-Performance Trade-Offs for Wireless Sensor Networks* pubblicato sugli atti della conferenza *DAC 2012*, che è stato selezionato tra i migliori lavori presentati alla conferenza ed ha vinto l'**HiPEAC Best Paper Award**, e
- l'articolo *A high-level synthesis flow for the implementation of iterative stencil loop algorithms on FPGA devices* pubblicato sugli atti della conferenza *DAC 2013*, che è stato selezionato tra i migliori lavori presentati alla conferenza ed ha vinto l'**HiPEAC Best Paper Award**.

Relativamente alle pubblicazioni svolte in collaborazione con altri autori, l'attività di ricerca è stata svolta in stretta collaborazione tra gli autori, il cui contributo è pertanto da ritenersi paritetico.

### 5.1 Pubblicazioni su riviste internazionali

- A.1** I. Beretta, V. RANA, D. A. Atienza, D. Sciuto  
*A Mapping Flow for Dynamically Reconfigurable Multi-Core System-on-Chip Design*  
IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems (TCAD)  
Volume 30, Issue 8, August 2011, Pag. 1211-1224  
Digital Object Identifier: 10.1109/TCAD.2011.2138140  
Society Manuscript Number: TCAD-2011-0147
- A.2** I. Beretta, V. RANA, D. A. Atienza, D. Sciuto  
*Island-Based Adaptable Embedded System Design*  
IEEE Embedded Systems Letters (ESL)  
Volume 3, Issue 2, June 2011, Pag. 53-57  
Digital Object Identifier: 10.1109/LES.2011.2115991  
Society Manuscript Number: IEEE-ESL-Jul-10-0095
- A.3** V. RANA, A. Nacci, I. Beretta, M. D. Santambrogio, D. A. Atienza, D. Sciuto  
*Design Methods for Parallel Hardware Implementation of Multimedia Iterative Algorithms*  
IEEE Design & Test of Computers (D&T)  
Volume 30, Issue 4, August 2013, Pag. 71-80  
Published by: IEEE Council on Electronic Design and Automation  
Digital Object Identifier: 10.1109/MDT.2012.2223191  
Society Manuscript Number: DT-2012-01-0013

- A.4** J. Clemente, I. Beretta, V. RANA, D. A. Atienza, D. Sciuto  
*A Mapping-Scheduling Algorithm for Hardware Acceleration for Reconfigurable Platforms*  
 ACM Transactions on Reconfigurable Technology and Systems (TRETS)  
 Article No. 9, Volume 7, Issue 2, June 2014, 27 pages  
 Digital Object Identifier: 10.1145/2611562
- A.5** M. Bruglieri, F. Bruschi, A. Colorni, A. Luè, R. Nocerino, V. RANA  
*A Real-time Information System for Public Transport in Case of Delays and Service Disruptions*  
 Elsevier Transportation Research Procedia (TRPRO)  
 Volume 10, September 2015, Pag. 493-502  
 Digital Object Identifier: 10.1016/j.trpro.2015.09.003
- A.6** I. Beretta, V. RANA, A. Akin, A. Nacci, D. A. Atienza, D. Sciuto  
*Parallelizing the Chambolle Algorithm for Performance Optimized Mapping on FPGA devices*  
 ACM Transactions on Embedded Computing Systems (TECS)  
 ACM New York, NY, USA  
 Article No. 44, Volume 15, Issue 3, July 2016  
 Digital Object Identifier: 10.1145/2851497
- A.7** V. RANA, I. Beretta, F. Bruschi, A. Nacci, D. A. Atienza, D. Sciuto  
*Efficient Hardware Design Of Iterative Stencil Loops*  
 IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems (TCAD)  
 Volume 35, Issue 12, December 2016, Pag. 2018 - 2031  
 Digital Object Identifier: 10.1109/TCAD.2016.2545408
- A.8** A. A. Nacci, V. RANA, B. Balaji, P. Spoletini, R. Gupta, D. Sciuto, Y. Agarwal  
*BuildingRules: A Trigger-Action Based System To Manage Complex Commercial Buildings*  
 ACM Transactions on Cyber-Physical Systems (TCPS)  
 Article No. 13, Volume 2, Issue 2, June 2018  
 Digital Object Identifier: 10.1145/3185500

## 5.2 Capitoli di libro

- B.1** V. RANA, C. Sandionigi, M. D. Santambrogio, D. Sciuto  
*An adaptive genetic algorithm for dynamically reconfigurable modules allocation*  
 R. Reis, V. Mooney and P. Hasler (Eds.), VLSI-SoC: Advanced Topics on Systems on a Chip, Springer, 2009, Vol. 291, p. 209 - 226
- B.2** A. Meroni, V. RANA, M. D. Santambrogio, F. Bruschi  
*Design of Communication Infrastructures for Reconfigurable Systems*  
 M. Radetzki (Eds.), Languages for Embedded Systems and their Applications Selected Contributions on Specification, Design, and Verification from FDL08, Springer, 2009, Vol. 36, p. 291-307
- B.3** V. RANA, D. A. Atienza, M. D. Santambrogio, D. Sciuto, G. De Micheli  
*A Reconfigurable Network-on-Chip Architecture for Optimal Multi-Processor SoC Communication*  
 D. Soudris, C. Piguet and R. Reis (Eds.), VLSI-SoC: Design Methodologies for SoC and SiP, Springer, 2009, Volume 313, 2010, pp 232-250
- B.4** V. RANA, M. D. Santambrogio, S. Corbetta  
*Dynamic Reconfigurable NoCs: Characteristics and Performance Issues*  
 Jih-Sheng Shen Pao-Ann Hsiung (Eds.), Dynamic Reconfigurable Network-on-Chip Design: Innovations for Computational Processing and Communication, IGI Global Publisher, 2009
- B.5** V. RANA, M. D. Santambrogio, A. Meroni  
*Design Methodologies and Mapping Algorithms for Reconfigurable NoC-based Systems*  
 Jih-Sheng Shen Pao-Ann Hsiung (Eds.), Dynamic Reconfigurable Network-on-Chip Design: Innovations for Computational Processing and Communication, IGI Global Publisher, 2009

- B.6** V. RANA, F. Bruschi, A. Miele, M. Santambrogio, D. Sciuto  
*Design Methodologies for Reconfigurable NoC-based Embedded Systems*  
 Pierre-Emmanuel Gaillardon (Eds.), Edited book, Part of the *Devices, Circuits, and Systems Series*, CRC press, 28 Ottobre 2015  
 ISBN: 9781482262186

### 5.3 Conferenze internazionali

- C.1** F. Ferrandi, G. Ferrara, R. Palazzo, V. RANA, M. D. Santambrogio  
*VHDL to FPGA automatic IPCore generation: A case study on Xilinx design flow*  
 20th IEEE International Parallel and Distributed Processing Symposium (IPDPS 06) - Reconfigurable Architecture Workshop - RAW, proc. p. 219, Isola di Rodi, Grecia, Aprile 2006
- C.2** M. Murgida, A. Panella, V. RANA, M. D. Santambrogio, D. Sciuto  
*Fast IP-Core Generation in a Partial Dynamic Reconfiguration Workflow*  
 14th IFIP International Conference on Very Large Scale Integration - IFIP VLSI-SOC 2006, proc. p. 74 - 79, Nizza, Francia, Ottobre 2006
- C.3** V. RANA, S. Ogrenici Memik, M. D. Santambrogio, D. Sciuto  
*Combining Hardware Reconfiguration and Adaptive Computation for a Novel SoC Design Methodology*  
 International Conference on Field Programmable Technology - FPT 06, proc. p. 293 - 296, Bangkok, Thailandia, Dicembre 2006
- C.4** V. RANA, C. Sandionigi, M. D. Santambrogio  
*A genetic algorithm based solution for dynamically reconfigurable modules allocation*  
 IEEE 3rd Southern Conference on Programmable Logic, SPL 07, proc. p. 183 - 186, Mar del Plata, Argentina, Febbraio 2007
- C.5** V. RANA, M. D. Santambrogio, D. Sciuto, D. Kettelhoit, M. Koester, M. Porrmann, U. Rückert  
*Partial dynamic reconfiguration in a multi-FPGAs clustered architecture based on Linux*  
 21th IEEE International Parallel and Distributed Processing Symposium (IPDPS 07) - Reconfigurable Architecture Workshop - RAW, IEEE online proceedings, Long Beach, California, USA, Marzo 2007
- C.6** V. RANA, M. D. Santambrogio, D. Sciuto  
*Dynamic Reconfigurability in Embedded System Design*  
 IEEE International Symposium on Circuits and Systems, ISCAS 07, proc. p. 2734 - 2737, New Orleans, Louisiana, USA, Maggio 2007
- C.7** A. Montone, V. RANA, M. D. Santambrogio  
*Data memory management in partial dynamically reconfigurable systems*  
 3rd International Conference on Information System Security, ICIS 07, proc. p. 130, Peradeniya, Sri Lanka, Agosto 2007
- C.8** V. RANA, C. Sandionigi, M. D. Santambrogio, D. Sciuto  
*An adaptive genetic algorithm for dynamically reconfigurable modules allocation*  
 15th International Conference on Very Large Scale Integration, IFIP VLSI-SoC 2007, proc. p. 128 - 133, Atlanta, Georgia, USA, Ottobre 2007  
**Selezionato tra i migliori lavori presentati alla conferenza, per apparire nel seguente libro: VLSI-SoC: From Systems To Silicon, Springer ([B.1])**
- C.9** M. D. Santambrogio, V. RANA, S. Ogrenici Memik, D. Sciuto, U. Acar  
*A Novel SoC Design Methodology Combining Adaptive Software and Reconfigurable Hardware*  
 25th International Conference on Computer-Aided Design, ICCAD 2007, proc. p. 303 - 308, San Josè, California, USA, Novembre 2007
- C.10** C. A. Curino, L. Fossati, V. RANA, F. Redaelli, M. D. Santambrogio, D. Sciuto  
*The Shining embedded system design methodology based on self dynamic reconfigurable architectures*

- 13th Asia and South Pacific Design Automation Conference, ASP-DAC 08, proc. p. 595 - 600, Seoul, Korea, Gennaio 2008
- C.11** A. Cuoccio, P. R. Grassi, V. RANA, M. D. Santambrogio, D. Sciuto  
*A Generation Flow for Self-Reconfiguration Controllers Customization*  
 4th IEEE International Symposium on Electronic Design, Test and Applications, DELTA 08, proc. p. 279 - 284, Hong Kong, Gennaio 2008
- C.12** A. Meroni, V. RANA, M. D. Santambrogio, D. Sciuto  
*A Requirements-Driven Reconfigurable SoC Communication Infrastructure Design Flow*  
 4th IEEE International Symposium on Electronic Design, Test and Applications, DELTA 08, proc. p. 405 - 409, Hong Kong, Gennaio 2008
- C.13** A. Montone, V. RANA, M. D. Santambrogio, D. Sciuto  
*HARPE: a Harvard-based Processing Element Tailored for Partial Dynamic Reconfigurable Architectures*  
 22th IEEE International Parallel and Distributed Processing Symposium (IPDPS 08) - Reconfigurable Architecture Workshop - RAW, IEEE online proceedings, Miami, Florida, USA, Aprile 2008
- C.14** S. Corbetta, V. RANA, M. D. Santambrogio, D. Sciuto  
*A Light-Weight Network-on-Chip Architecture for Dynamically Reconfigurable Systems*  
 IEEE IC-SAMOS 08 - Embedded Computer Systems: Architectures, MOdeling, and Simulation, proc. p. 49 - 56, Samos, Grecia, Luglio 2008
- C.15** M. D. Santambrogio, V. RANA, D. Sciuto  
*Operating System Support for Online Partial Dynamic Reconfiguration Management*  
 18th International Conference on Field Programmable Logic and Applications, FPL 08, proc. p. 455 - 458, Heidelberg, Germania, Settembre 2008
- C.16** F. Bruschi, A. Meroni, V. RANA, M. D. Santambrogio  
*A Requirements-Driven Simulation Framework For Communication Infrastructures Design*  
 FDL 08 - Forum on specification & Design Languages, proc. p. 111 - 117, Stuttgart, Germania, Settembre 2008  
**Selezionato tra i migliori lavori presentati alla conferenza, per apparire nel seguente libro: VLSI-SoC, Springer ([B.2])**
- C.17** V. RANA, M. Matteucci, D. Caltabiano, R. Sannino, A. Bonarini  
*Low cost smartcams design*  
 6th IEEE Workshop on Embedded Systems for Real-time Multimedia - ESTI-Media 2008, proc. p. 27 - 32, Atlanta, GA, USA, Ottobre 2008
- C.18** F. Bruschi, V. RANA, D. Sciuto  
*An Architecture for Dynamically Reconfigurable Real Time Audio Processing Systems*  
 6th IEEE Workshop on Embedded Systems for Real-time Multimedia - ESTI-Media 2008, proc. p. 81 - 86, Atlanta, GA, USA, Ottobre 2008
- C.19** V. RANA, D. A. Atienza, M. D. Santambrogio, D. Sciuto, G. De Micheli  
*A Reconfigurable Network-on-Chip Architecture for Optimal Multi-Processor SoC Communication*  
 International Conference on Very Large Scale Integration, IFIP VLSI-SoC 2008, proc. p. 321 - 326, Isola di Rodi, Grecia, Ottobre 2008  
**Selezionato tra i migliori lavori presentati alla conferenza, per apparire nel seguente libro: VLSI-SoC, Springer ([B.3])**
- C.20** I. Beretta, V. RANA, M. D. Santambrogio, D. Sciuto  
*On-Line Task Management for a Reconfigurable Cryptographic Architecture*  
 23th IEEE International Parallel and Distributed Processing Symposium (IPDPS 09) - Reconfigurable Architecture Workshop - RAW, IEEE online proceedings, Roma, Italia, Maggio 2009
- C.21** Dario Cozzi, Claudia Farè, Alessandro Meroni, Vincenzo RANA, M. D. Santambrogio, Dontella Sciuto

*Reconfigurable NoC Design Flow for Multiple Applications Run-Time Mapping on FPGA Devices*

Great Lake Symposium VLSI, GLSVLSI 09, proc. p. 421 - 424, Boston, Massachusetts, Maggio 2009

- C.22** V. RANA, S. Murali, D. A. Atienza, M. D. Santambrogio, L. Benini and D. Sciuto  
*Minimization of the reconfiguration latency for the mapping of applications on FPGA-based systems*  
International Conference on Hardware-Software Codesign and System Synthesis, CODESS+ISSS 09, proc. p. 325 - 334, Grenoble, Francia, Ottobre 2009
- C.23** F. Redaelli, M. D. Santambrogio, V. RANA, S. Ogreneci Memik  
*Scheduling and 2D Placement Heuristics for Partially Reconfigurable Systems*  
International Conference on Field Programmable Technology - FPT 09, proc. p. 223 - 230, Sydney, Australia, Dicembre 2009
- C.24** I. Beretta, V. RANA, D. A. Atienza, M. D. Santambrogio, D. Sciuto  
*Run-time Applications Mapping on Fine-Grained Reconfigurable Embedded Systems*  
International Conference on Microelectronics - ICM 09, proc. p. 151-154, Marrakech, Marocco, Dicembre 2009
- Invited Talk**
- C.25** V. RANA, M. D. Santambrogio, S. Corbetta, D. Sciuto  
*Multiple Communication-Domains Design in FPGA-Based Systems-on-Chip*  
International conference on Design & Technology of Integrated Systems in nanoscale era - DTIS 2010, p. 1 - 6, Hammamet, Tunisia, Marzo 2010
- C.26** I. Beretta, V. RANA, D. A. Atienza, D. Sciuto  
*Run-time Mapping of Applications on FPGA-based Reconfigurable Systems*  
IEEE International Symposium on Circuits and Systems, ISCAS 10, proc. p. 3329 - 3332, Parigi, Francia, Maggio 2010
- C.27** V. RANA, D. Sciuto  
*A novel design framework for the design of reconfigurable systems based on NoCs*  
Great Lake Symposium VLSI, GLSVLSI 10, proc. p. 1 - 2, Providence, Rhode Island, USA, Maggio 2010
- Invited Paper (Keynote)**
- C.28** F. Bruschi, M. Paolieri, V. RANA  
*A Reconfigurable System based on a Parallel and Pipelined solution for Regular Expression Matching*  
20th International Conference on Field Programmable Logic and Applications, FPL 10, proc. p. 44 - 49, Milano, Italia, Agosto 2010
- C.29** M. D. Santambrogio, V. RANA, I. Beretta and D. Sciuto  
*Operating System Runtime Management of Partially Dynamically Reconfigurable Embedded Systems*  
IEEE 2010 8th Workshop on Embedded Systems for Real-Time Multimedia - ESTIMedia 2005, proc. p. 1 - 10, Scottsdale, AZ, USA, Settembre 2010
- C.30** F. Bruschi, F. Perini, V. RANA, D. Sciuto  
*An Efficient Quantum-Dot Cellular Automata Adder*  
Design, Automation and Test in Europe, DATE 11, proc. p. 1220 - 1223, Grenoble, Francia, Marzo 2011
- C.31** A. Akin, I. Beretta, A. Nacci, V. RANA, M. D. Santambrogio, D. A. Atienza  
*A high-performance parallel implementation of the Chamblolle algorithm*  
Design, Automation and Test in Europe, DATE 11, proc. p. 1436 - 1441, Grenoble, Francia, Marzo 2011
- C.32** F. Bruschi, A. Miele and V. RANA  
*On-Chip Network Resource Management Design and Validation*  
IEEE IC-SAMOS 11 - Embedded Computer Systems: Architectures, Modeling, and Simulation, proc. p. 249 - 254, Samos, Grecia, Luglio 2011

- C.33** J. Clemente, V. RANA, D. Sciuto, I. Beretta, D. A. Atienza  
*A Hybrid Mapping-Scheduling Technique for Dynamically Reconfigurable Hardware*  
 21st International Conference on Field Programmable Logic and Applications, FPL 11, proc. p. 177 - 180, Chania, Creta, Grecia, Settembre 2011
- C.34** I. Beretta, F. Rincon, N. Khaled, P. R. Grassi, V. RANA, D. A. Atienza  
*Model-Based Design for Wireless Body Sensor Network Nodes*  
 13th IEEE Latin American Test Workshop, LATW 12, proc. p. 92 - 97, Quito, Ecuador, Aprile 2012
- C.35** P. R. Grassi, V. RANA, I. Beretta, Donatella Sciuto  
*B<sup>2</sup>IRS: a Technique to Reduce BAN-BAN Interferences in Wireless Sensor Networks*  
 9th IEEE International Conference on Wearable and Implantable Body Sensor Networks, BSN 2012, proc. p. 46 - 51, Londra, Regno Unito, Maggio 2012
- C.36** I. Beretta, F. Rincon, N. Khaled, P. Grassi, V. RANA, D. A. Atienza  
*Design Exploration of Energy-Performance Trade-Offs for Wireless Sensor Networks*  
 49th Annual Design Automation Conference 2012, DAC 2012, proc. p. 1043-1048, San Francisco, CA, USA, Giugno 2012  
**Vincitore dell'HiPEAC Best Paper Award**
- C.37** P. R. Grassi, I. Beretta, V. RANA, D. Sciuto  
*Tacit Consent: A Technique to Reduce Redundant Transmissions from Spatially Correlated Nodes in Wireless Sensor Networks*  
 15th EUROMICRO Conference on Digital System Design, DSD 2012, proc. p. 874 - 881, Cesme, Izmir, Turchia, Settembre 2012
- C.38** P. R. Grassi, I. Beretta, V. RANA, D. Sciuto, D. A. Atienza  
*Knowledge-Based Design Space Exploration of Wireless Sensor Networks*  
 International Conference on Hardware-Software Codesign and System Synthesis, CODESS+ISSS 12, proc. p. 225-234, Tampere, Finlandia, Ottobre 2012
- C.39** A. Nacci, V. RANA, I. Beretta, F. Bruschi, D. A. Atienza, D. Sciuto  
*A high-level synthesis flow for the implementation of iterative stencil loop algorithms on FPGA devices*  
 50th Annual Design Automation Conference 2013, DAC 2013, article n. 52, p. 1-6, Austin, TX, USA, Giugno 2013  
**Vincitore dell'HiPEAC Best Paper Award**
- C.40** A. Nacci, V. RANA, M. D. Santambrogio and D. Sciuto  
*Improving the security and the scalability of the AES algorithm*  
 ACM/SIGDA International Symposium on Field-Programmable Gate Arrays, FPGA 2014, pp. 256, Monterey, CA, USA, Febbraio 2014
- C.41** A. Nacci, G. Bettinazzi, C. Pilato, V. RANA, M. D. Santambrogio, D. Sciuto  
*A SystemC-Based Framework for the Simulation of Appliances Networks in Energy-Aware Smart Spaces*  
 IEEE World Forum on Internet of Things, WF-IoT 2014, pp. 485-490, Seoul, Korea, Marzo 2014
- C.42** A. Nacci, V. RANA, D. Sciuto, M. D. Santambrogio  
*An open-source, efficient and parameterizable hardware implementation of the AES algorithm*  
 12th IEEE International Symposium on Parallel and Distributed Processing with Applications, ISPA 2014, pp. 85-92, Milano, Italia, Agosto 2014
- C.43** V. RANA, F. Bruschi, M. Paolieri, D. Sciuto and M. D. Santambrogio  
*On How to Efficiently Implement Regular Expression Matching on FPGA-based Systems*  
 12th IEEE International Conference on Embedded and Ubiquitous Computing, EUC 2014, pp. 304-309, Milano, Italia, Agosto 2014
- C.44** A. Nacci, V. RANA, D. Sciuto  
*A Perspective Vision on Complex Residential Building Management Systems*  
 12th IEEE International Conference on Embedded and Ubiquitous Computing, EUC 2014, pp. 209-214, Milano, Italia, Agosto 2014

- C.45** G. Conte, M. de Marchi, A. Nacci, V. RANA, D. Sciuto  
*BlueSentinel: a first approach using iBeacon for an energy efficient occupancy detection system*  
 1st ACM International Conference on Embedded Systems for Energy-Efficient Buildings, BuildSys 2014, pp. 11-19, Memphis, USA, Novembre 2014
- C.46** A. Piscitello, A. Nacci, V. RANA, M. D. Santambrogio, D. Sciuto  
*Sink State Analysis in multi-tenant smart buildings*  
 2nd IEEE International Forum on Research and Technologies for Society and Industry Leveraging a better tomorrow (RTSI), Bologna, Italia, Settembre 2016
- C.47** A. Piscitello, A. Nacci, V. RANA, D. Sciuto, M. D. Santambrogio  
*Ruleset minimization in multi-tenant Smart Buildings*  
 14th IEEE/IFIP International Conference on Embedded and Ubiquitous Computing (EUC 2016), Parigi, Francia, Agosto 2016
- C.48** A. Pagani, F. Bruschi, V. RANA, M. Restelli  
*Reconstruction of public transport state*  
 19th IEEE Intelligent Transportation Systems Conference (ITSC 2016), pp. 2285 - 2292, Rio de Janeiro, Brasile, Novembre 2016
- C.49** P. Cancian, G. W. Di Donato, V. RANA, M. D. Santambrogio  
*An Embedded Gabor-based Palm Vein Recognition System*  
 2017 IEEE International Conference on Biomedical and Health Informatics of the IEEE Engineering in Medicine and Biology Society (BHI2017), pp. 405-408, Orlando, Florida, USA, Febbraio 2017
- C.50** A. Pagani, F. Bruschi, V. RANA  
*Knowledge Discovery from car sharing data for traffic flows estimation*  
 2017 Smart City Symposium Prague (SCSP 2017), pp. 1-6, Praga, Repubblica Ceca, 2017
- C.51** A. Pagani, F. Bruschi, V. RANA  
*Time of Arrival Cumulative Probability in Public Transportation Travel Assistance*  
 20th IEEE Intelligent Transportation Systems Conference (ITSC 2017), pp. 1-6, Yokohama, Giappone, 2017
- C.52** A. Pagani, F. Bruschi, V. RANA, M. Restelli  
*User Context Estimation for Public Travel Assistance and Intelligent Service Scheduling*  
 20th IEEE Intelligent Transportation Systems Conference (ITSC 2017), pp. 1-8, Yokohama, Giappone, 2017
- C.53** F. Bruschi, V. RANA, L. Gentile, D. Sciuto  
*Mine with it or sell it: the superhashing power dilemma*  
 ACM SIGMETRICS Performance Evaluation Review, Volume 46, Issue 3, pp. 127-130, Tolosa, Francia, Dicembre 2018

## 5.4 Ph.D. Forum, Workshop, Poster, University Booth e Newsletter

- D.1** F. Ferrandi, A. Mele, V. RANA, M. D. Santambrogio, D. Sciuto  
*A Caronte-oriented approach to a network-based educational infrastructure*  
 6th European Workshop on Microelectronics Education - EWME 06, proc. p. 133 - 136, Soccolma, Svezia, Giugno 2006
- D.2** C. Bolchini, C. Brandolese, L. Frigerio, V. RANA, F. Salice, M. D. Santambrogio

*RoadRunner and IPGen: a combined solution to speedup the reconfigurable architectures design*

Designer Forum at IEEE 3rd Southern Conference on Programmable Logic, SPL 07, proc. p. 75 - 78, Mar del Plata, Argentina, Febbraio 2007

**D.3** V. RANA

*CITiES: Communication Infrastructures Tailored to Embedded Systems design*

International Conference on Very Large Scale Integration, IFIP VLSI-SoC 2007 - Ph.D. Forum - Atlanta, GA, USA, Ottobre 2007

**D.4** V. RANA

*A Reconfigurable NoC-based Communication Infrastructure for Multi-Processor SoCs*

Design, Automation & Test in Europe, DATE 2009 - Ph.D. Forum, Nizza, Francia, Aprile 2009

**D.5** A. Meroni, V. RANA, M. D. Santambrogio, D. Sciuto

*CITiES Framework*

Design, Automation & Test in Europe, DATE 2009 - University Booth, Nizza, Francia, Aprile 2009

**D.6** V. RANA

*HiPEACinfo 18: April 2009*

HiPEAC Newsletter - <http://www.hipeac.org/newsletter>, Aprile 2009

**D.7** F. Bruschi, A. Nacci, V. RANA

*A Methodology for the High-Level Synthesis of Iterative Algorithms*

49th Annual Design Automation Conference 2012, DAC 2012 - WIP - San Francisco, CA, USA, Giugno 2012

**D.8** A. Nacci, V. RANA, F. Bruschi, M. D. Santambrogio and E. Wanke

*NeoN: a software tool for the automatic extraction of neurons communication pattern*

DAC Workshop on Modeling of Biological Systems 2013, MoBS 2013 - Poster - Austin, TX, USA, Giugno 2013

**D.9** M. Bigoloni, A. Pagani, V. Rana, D. Sciuto

*Energy Management System, il cuore digitale alla base del funzionamento di una Smart Grid*

Giornata della ricerca ANIE, 10 Dicembre 2014, Milano, Italia